

DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

09/690.526

010171570 **Image available**

WPI Acc No: 1995-072823/ 199510

XPX Acc No: N95-057619

**Shift register information interchange - using drive unit to drive
bi-directional switch which forms interface between memory unit and shift
register unit**

Patent Assignee: OLYMPUS OPTICAL CO LTD (OLYU)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6350933	A	19941222	JP 93158131	A	19930604	199510 B
JP 3457977	B2	20031020	JP 93158131	A	19930604	200369

Priority Applications (No Type Date): JP 93158131 A 19930604

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6350933	A	9	H04N-005/335	
JP 3457977	B2	8	H04N-005/335	Previous Publ. patent JP 6350933

Abstract (Basic): JP 6350933 A

The shift register unit (1) has two NOT-gates connected in series with each other. The register unit is connected to a memory unit (3) through a bi-directional switch (2). The memory unit stores the output of the register unit. The bi-directional switch provides the pathway for communication between the memory unit and shift register unit.

All these units are enclosed in a register block (4). When more than one block is connected in cascade, a shift register is formed.

USE/ADVANTAGE - For use in computers and solid image pick-up devices. Facilitates driving shift register with low speed clock. Facilitates scanning of arbitrary images. Increases frame rate, increasing clock frequency for scanning.

Dwg.1/10

Title Terms: SHIFT; REGISTER; INFORMATION; INTERCHANGE; DRIVE; UNIT; DRIVE;
BI; DIRECTION; SWITCH; FORM; INTERFACE; MEMORY; UNIT; SHIFT; REGISTER;
UNIT

Derwent Class: U13; U14; W04

International Patent Class (Main): H04N-005/335

File Segment: EPI

Manual Codes (EPI/S-X): U13-C02A; U14-A01; W04-M01B5

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-350933

(43) 公開日 平成 6 年 (1994) 12 月 22 日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 5/335

Z

審査請求 未請求 請求項の数 13 F D (全 9 頁)

(21) 出願番号 特願平5-158131

(22) 出願日 平成 5 年 (1993) 6 月 4 日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷 2 丁目 43 番 2 号

(72) 発明者 野本 哲夫

東京都渋谷区幡ヶ谷 2 丁目 43 番 2 号 オリ

ンパス光学工業株式会社内

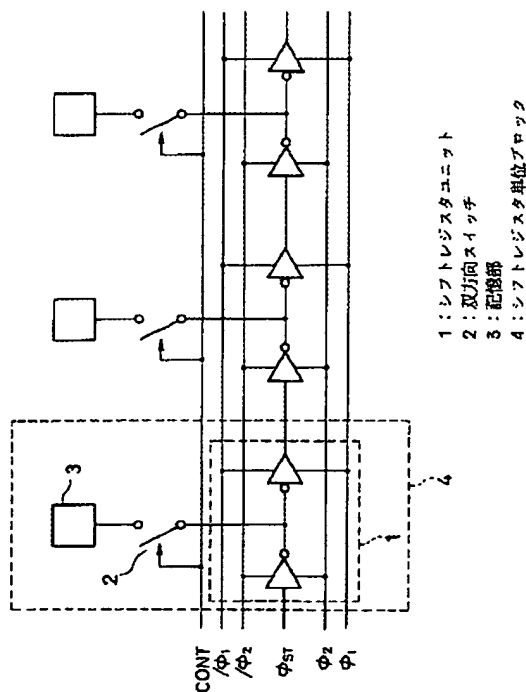
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 シフトレジスタ

(57) 【要約】

【目的】 高速クロックで駆動することなく任意の位置から走査を開始させることの可能なシフトレジスタを提供する。

【構成】 2 個のインバータを直列接続してなるシフトレジスタユニット 1 と、記憶部 3 と、シフトレジスタユニット 1 の情報を記憶部 3 へ記憶させ、記憶部 3 に記憶された情報をシフトレジスタユニット 1 に転送するための双方向スイッチ 2 とでシフトレジスタ単位ブロック 4 を構成し、単位ブロック 4 を複数個縦続接続してシフトレジスタを構成する。



【特許請求の範囲】

【請求項1】 シフトレジスタユニットを多段に縦続接続し、クロックにより情報を伝達していくように構成したシフトレジスタにおいて、各シフトレジスタユニットに、各シフトレジスタユニットの出力を記憶する記憶部と、シフトレジスタユニットと記憶部の間に配設した双方向スイッチとを設け、更に、本走査に先立つ先行走査においてシフトレジスタに入力されるシフトパルスを所望の位置のシフトレジスタユニットまでシフトした後、各シフトレジスタユニットの情報を記憶部に記憶させるため前記双方向スイッチを駆動し、且つ本走査時に前記記憶部より情報を各シフトレジスタユニットに転送して走査を開始させるため前記双方向スイッチを駆動する駆動手段を備えていることを特徴とするシフトレジスタ。

【請求項2】 シフトレジスタユニットを多段に縦続接続し、クロックにより情報を伝達していくように構成したシフトレジスタにおいて、1段以上の間隔をおいた各シフトレジスタユニットに、該シフトレジスタユニットの出力を記憶する記憶部と、シフトレジスタユニットと記憶部の間に配設した双方向スイッチとを設け、更に、本走査に先立つ先行走査においてシフトレジスタに入力されるシフトパルスを所望の位置の前記記憶部を設けたシフトレジスタユニットまでシフトした後、各シフトレジスタユニットの情報を記憶部に記憶させるため前記双方向スイッチを駆動し、且つ本走査時に前記記憶部より情報を各シフトレジスタユニットに転送して走査を開始させるため前記双方向スイッチを駆動する駆動手段を備えていることを特徴とするシフトレジスタ。

【請求項3】 前記記憶部は、インバータ2段で構成されていることを特徴とする請求項1又は2記載のシフトレジスタ。

【請求項4】 前記記憶部は、インバータ1段で構成されていることを特徴とする請求項1又は2記載のシフトレジスタ。

【請求項5】 前記記憶部は、容量素子で構成されていることを特徴とする請求項1又は2記載のシフトレジスタ。

【請求項6】 前記記憶部は、インバータとNANDの直列回路で構成され、該NANDの2入力の中の一の入力をローレベルとし、その状態をシフトレジスタユニットに転送してシフトレジスタユニットの内容をリセットする手段を設けたことを特徴とする請求項1又は2記載のシフトレジスタ。

【請求項7】 前記記憶部は、インバータとNORの直列回路で構成され、該NORの2入力の中の一の入力をハイレベルとし、その状態をシフトレジスタユニットに転送してシフトレジスタユニットの内容をリセットする手段を設けたことを特徴とする請求項1又は2記載のシフトレジスタ。

【請求項8】 前記記憶部は、NANDで構成され、該

NANDの2入力の中の一の入力をローレベルとし、その状態をシフトレジスタユニットに転送してシフトレジスタユニットの内容をリセットする手段を設けたことを特徴とする請求項1又は2記載のシフトレジスタ。

【請求項9】 前記記憶部は、NORで構成され、該NORの2入力の中の一の入力をハイレベルとし、その状態をシフトレジスタユニットに転送してシフトレジスタユニットの内容をリセットする手段を設けたことを特徴とする請求項1又は2記載のシフトレジスタ。

【請求項10】 前記双方向スイッチは、PチャネルMOSトランジスタ及びNチャネルMOSトランジスタよりなるアナログスイッチで構成されていることを特徴とする請求項1～9のいずれか1項に記載のシフトレジスタ。

【請求項11】 前記双方向スイッチは、シフトレジスタユニットの情報を記憶部に転送するための記憶用スイッチと、記憶部の情報をシフトレジスタユニットに転送するための転送用スイッチとで構成されていることを特徴とする請求項1～10のいずれか1項に記載のシフトレジスタ。

【請求項12】 前記請求項1～11のいずれか1項に記載のシフトレジスタを用いて、読み出し画素を選択するための水平及び垂直走査回路の少なくとも一方を構成し、任意の位置から走査を開始できるように構成したことを特徴とするXYアドレス型固体撮像装置。

【請求項13】 前記シフトレジスタを用いた走査回路に、走査を開始する位置を決めるための先行走査時に、シフトレジスタユニットの出力を阻止するスイッチを設けたことを特徴とする請求項12記載のXYアドレス型固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、シフトレジスタに関し、特に走査パルス発生回路等に用いられる任意の位置から走査をさせることの可能なシフトレジスタに関する。

【0002】

【従来の技術】 従来、固体撮像装置等を駆動するための走査回路の一つとして、クロック型インバータを直列に接続したクロック型CMOSシフトレジスタを利用したものが知られている。かかるシフトレジスタの構成例を図10に示す。図10において、101は第1のクロック型インバータ、102は第2のクロック型インバータであり、第1及び第2のクロック型インバータ101、102を直列に接続してシフトレジスタユニット103を構成し、多数のシフトレジスタユニット103を縦続接続してシフトレジスタを構成している。そして各シフトレジスタユニット103では、入力信号 ϕ_{st} をクロックパルス ϕ_1 、 ϕ_2 のタイミングに従って反転し、多段に構成することによりシフトレジスタの機能をもたせている。

3

【0003】このように構成したシフトレジスタにおいて、任意の位置から走査を開始するには、毎走査毎にシフトレジスタにスタートパルスを入力した後、シフトレジスタを高速のクロックで駆動し、所望の位置までシフトパルスを転送した後、シフトレジスタを通常のクロックで駆動することにより、実現することができる。

【0004】

【発明が解決しようとする課題】しかしながら、上記手段により任意の位置から走査を開始させるには、シフトレジスタを駆動するためのクロックの制御が複雑になる。またシフトレジスタの段数が増えると、所望の高速転送に要する時間も長くなる。更に、段数が増えた分クロックが駆動すべき負荷も増大するので、消費電力が大きくなり、発熱するという問題も生じる。

【0005】本発明は、従来の任意の位置から走査を開始させるシフトレジスタにおける上記問題点を解消するためになされたもので、高速クロックで駆動することなく任意の位置から走査を開始させることの可能なシフトレジスタを提供することを目的とする。

【0006】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、シフトレジスタユニットを多段に縦続接続し、クロックにより情報を伝達していくように構成したシフトレジスタにおいて、各シフトレジスタユニットに、各シフトレジスタユニットの出力を記憶する記憶部と、シフトレジスタユニットと記憶部の間に配設した双方向スイッチとを設け、更に、本走査に先立つ先行走査においてシフトレジスタに入力されるシフトパルスを所望の位置のシフトレジスタユニットまでシフトした後、各シフトレジスタユニットの情報を記憶部に記憶させるため前記双方向スイッチを駆動し、且つ本走査時に前記記憶部より情報を各シフトレジスタユニットに転送して走査を開始させるため前記双方向スイッチを駆動する駆動手段を備えて構成するものである。

【0007】このように構成したシフトレジスタにおいては、本走査に先立つ先行走査において、走査を開始する所望位置まで入力シフトパルスをシフトさせた時点で、駆動手段で双方向スイッチを駆動して各シフトレジスタユニットの情報を記憶部に記憶させ、本走査時には、同じく駆動手段で双方向スイッチを駆動して記憶部より情報をシフトレジスタユニットに転送し、シフトレジスタを駆動して所望位置より走査を開始することができる。そして、記憶部に記憶する情報を保持させておくことにより、本走査時における走査範囲が変化しなければ、1回の先行走査のみで所望位置からの複数回の本走査を行うことができる。

【0008】

【実施例】次に実施例について説明する。まず本発明の基本的な実施例を図1に示した概念図に基づいて説明する。図1において、1は2個のクロック型インバータを

4

直列接続してなるシフトレジスタユニット、2は制御信号CONTにより制御される双方向スイッチ、3は記憶部、4は前記シフトレジスタユニット1、双方向スイッチ2及び記憶部3よりなるシフトレジスタの単位ブロックである。そして、このように構成して単位ブロック4を複数個縦続接続してシフトレジスタを構成している。

【0009】次に、このように構成したシフトレジスタの動作について説明する。このシフトレジスタにおいては、実際の本走査に先立って、先行走査において、スタートパルス ϕ_{st} を入力しクロック ϕ_1 、 ϕ_2 によりシフトさせる。そして、本走査で走査を開始する所望位置までスタートパルス ϕ_{st} がシフトされた時点で、制御信号CONTにより双方向スイッチ2を閉じ、各シフトレジスタユニット1の情報を記憶部3に記憶する。そして、本走査開始前に、再び制御信号CONTにより双方向スイッチ2を閉じ、記憶部3に記憶された情報をシフトレジスタユニット1に転送し、次いでシフトレジスタを駆動し本走査を行うことにより、所望位置から走査を開始させることができる。

20 【0010】次に、本発明の具体的な実施例について説明する。図2は、シフトレジスタユニットとしてクロック型インバータを直列に接続したものをを用いた本発明の具体的な第1実施例を示す回路構成図である。この実施例は、シフトレジスタを4段の単位ブロックで構成している場合を示している。図2において、10はシフトレジスタの単位ブロックで、該単位ブロック10は、直列接続された第1のクロック型インバータ12-1と第2のクロック型インバータ12-2とで構成されたシフトレジスタユニット11と、直列接続された第1の記憶用インバータ16と第2の記憶用インバータ17とからなる記憶部15と、シフトレジスタユニット11の第1のクロック型インバータ12-1の出力端子と記憶部15の入力端子の間に接続された記憶用スイッチ13と、記憶部15の出力端子と第1のクロック型インバータ12-1の出力端子の間に接続された転送用スイッチ14とで構成されている。

【0011】そして、記憶用スイッチ13及び転送用スイッチ14は、それぞれPチャネルMOSトランジスタ及びNチャネルMOSトランジスタからなるアナログスイッチで構成されており、記憶用スイッチ13はメモリパルス ϕ_M により開閉され、転送用スイッチ14は転送パルス ϕ_T により開閉されるようになっている。

【0012】次に、このように構成されたシフトレジスタの動作を、図3に示したタイミングチャートに基づいて説明する。まず、本走査に先立つ先行走査においては、時刻 t_0 でスタートパルス ϕ_{st} にハイレベルを入力し、シフトレジスタ内をクロック ϕ_1 、 ϕ_2 に従ってシフトさせる。時刻 t_1 でメモリパルス ϕ_M をハイレベルとして、各シフトレジスタユニット11内の状態を記憶部15に記憶する。この時、第1、第3及び第4の単位ブロックの記憶部15の入力端のノード M_1 、 M_3 、 M_4 はハ

イ、第2の単位ブロックの記憶部15の入力端のノードM₂はローを記憶する。その後、時刻t₂において、転送パルスφ_rをハイレベルとして記憶部15の情報を各シフトレジスタユニット11に転送する。

【0013】ここで、各シフトレジスタユニットは記憶部15の情報でリセットされ、時刻t₂以降のシフトレジスタの各ノードの出力は、2段目のシフトレジスタユニットから走査を始めたようになる。したがって、時刻t₂以降が本走査となる。

【0014】この際、メモリパルスφ_mは、各シフトレジスタユニットの第1のクロック型インバータ12-1の出力端子であるノードN_{0.5}、N_{1.5}、N_{2.5}、…の情報を各記憶部15に記憶させるため、ノードN_{0.5}、N_{1.5}、N_{2.5}、…が記憶部15に記憶させたい情報を保っている間、すなわちクロックφ₂が立ち上がる前に、立ち下げればよい。また転送パルスφ_rをハイレベルにして、各記憶部15の情報を各シフトレジスタユニットに転送する際には、記憶部15の出力インバータ17と各シフトレジスタユニットの第1のクロック型インバータ12-1の出力ノードが接続されているため、両インバータが同時にアクティブになり貫通電流が流れることのないように、クロック型インバータがアクティブにならない期間、すなわち、クロックφ₂の立ち下がりから立ち上がりの間にハイレベルとする必要がある。

【0015】この実施例においては、記憶部の記憶機能部分は記憶部を構成しているインバータのゲート等に寄生する寄生容量である。したがって、この寄生容量に情報が十分記憶されている間は、本走査の範囲が変わらなければ記憶動作のための先行走査を行う必要はない。また、この記憶保持期間を長くするためには、図4の(A)に示すように記憶用の容量素子20を別個に設けることができる。

【0016】また本実施例においては、記憶部をインバータ2段で構成したものを示したが、シフトレジスタユニットの各ノードの情報を保持できるものであれば特に構成に制限はなく、例えば、図4の(B)に示すように、通常の容量素子21のみで構成しても構わない。また図4の(C)に示すように、記憶部をインバータ1段で構成することによって、シフトレジスタユニットの情報を記憶した時と反転した情報を、記憶部からシフトレジスタユニットに転送することができる。このように構成することによって、記憶部の回路を縮小することができる。

【0017】また、本実施例では、シフトレジスタユニットとして、クロック型インバータを直列に接続したものを示したが、他の構成のシフトレジスタユニットで構成したシフトレジスタにも本実施例を適用することができ、同様の効果が得られる。

【0018】また、本実施例では、各シフトレジスタユニットに対して記憶部及び記憶用スイッチ並びに転送用

スイッチを設けて構成したものを示したが、数段毎のシフトレジスタユニットに記憶部及び記憶用スイッチ並びに転送用スイッチを設け構成することもでき、この場合は、シフトレジスタ全体の回路規模を小さくすることができる。

【0019】上記第1実施例においては、シフトレジスタの途中から走査を開始できるようにした構成のものを示したが、走査を途中で止めるためには、シフトレジスタに入力されるクロックφ₁、φ₂をハイレベルに固定して、クロック型インバータ列を通常のインバータ列と同様にして実現する手段がある。しかし、この手段では、シフトレジスタが多段構成の場合、伝搬遅延により、シフトレジスタユニット全段のクリアには相当の時間が必要となる。例えば、シフトレジスタユニット1段の伝搬遅延が5nsの場合、1000段のシフトレジスタユニットをクリアするには5μs必要となる。

【0020】次に、走査の途中においてシフトレジスタの情報のクリアを高速で行うことができるようにした第2実施例について説明する。第2実施例の具体的な回路構成を図5に示す。図5において、図2に示した第1実施例と同一又は対応する構成要素には同一符号を付して示している。この実施例においては、記憶部15を記憶用インバータ16と記憶用NAND30を直列に接続したもので構成している。そして、記憶用NAND30の2つの入力の中、一方を/C_{LR}(C_{LR}信号の反転信号)端子に接続し、/C_{LR}信号をハイレベルとすることによって、第1実施例と同様の動作をさせることができる。また、/C_{LR}信号をローレベルとして、転送パルスφ_rをハイレベルとすると、ノードN_{0.5}、N_{1.5}、N_{2.5}、…がハイレベルにリセットされるようになっている。

【0021】次に、このように構成されたシフトレジスタの動作を、図6に示したタイミングチャートを用いて説明する。時刻t₀において、スタートパルスφ_{st}にハイレベルを入力し、クロックφ₁、φ₂に従ってシフトさせる。時刻t₁で、メモリパルスφ_mをハイレベルとして、時刻t₁での各シフトレジスタユニットの情報を記憶部15に記憶させる。時刻t₂で、転送パルスφ_rをハイレベルとすることによって、記憶部15に記憶させていた情報を各シフトレジスタユニットのノードN_{0.5}、N_{1.5}、N_{2.5}、…に転送する。

【0022】この場合、時刻t₀からt₂までが先行走査となり、時刻t₂以降が本走査となり、ここでは、2段目のシフトレジスタユニットから走査が始まったのと同様の出力を得ることができる。

【0023】本走査開始後、時刻t₃で転送パルスφ_rをハイレベル、/C_{LR}信号をローレベルとすることにより、各シフトレジスタユニットのノードN_{0.5}、N_{1.5}、N_{2.5}、…がハイレベルにセットされ、走査を途中で止めることができる。ここで、/C_{LR}信号は、

転送パルス ϕ_1 が立ち下がる瞬間には、ローレベルである必要がある。

【0024】本実施例においては、ノード $N_{0.5}$ 、 $N_{1.5}$ 、 $N_{2.5}$ 、 \dots をハイレベルにリセットする例を示したが、記憶部15を構成している記憶用NANDをNORに変えることにより、ノード $N_{0.5}$ 、 $N_{1.5}$ 、 $N_{2.5}$ 、 \dots をローレベルにリセットすることもできる。この場合は、記憶用NORの2つの入力の中、一方をCLR信号入力端子に接続するように構成する。また、記憶部15を構成している記憶用インバータを省略し、記憶部15を単一のNAND又はNORのみで構成することによって、シフトレジスタユニットの情報を記憶した時と反転した情報を、記憶部からシフトレジスタユニットに転送することができる。なお、この場合も、NAND又はNORの2つの入力の中、一方にCLR又はCLR信号を入力する。また、記憶用インバータと記憶用NANDもしくはNORの接続の態様は逆になっても、リセットした後のシフトレジスタユニット内の情報の論理が反転するだけで、本質的な動作には影響を与えない。

【0025】次に、本発明に係るシフトレジスタをXYアドレス型固体撮像装置に応用した場合の構成例を、図7に基づいて説明する。この構成例は 4×4 画素をもつ固体撮像装置を示しており、図7において、41は画素、42は列方向に配列された画素に共通に接続された垂直選択線、43は行方向に配列された画素に共通に接続された水平選択線である。44は、本発明によるシフトレジスタを備えていて垂直選択線42を選択し、選択画素の信号を信号出力端子46に出力する選択スイッチを有する水平走査回路で、45は本発明によるシフトレジスタを備え水平選択線43を選択する垂直走査回路である。

【0026】このように構成したXYアドレス型固体撮像装置においては、通常の走査では、図8の(A)で斜線を施した部分、すなわち全画素の情報が信号出力端子46に現れる。水平走査回路44を構成しているシフトレジスタにより、水平方向の2番目の画素から3番目の画素の信号を読み出し、また垂直走査回路45を構成しているシフトレジスタにより、垂直方向の2番目の画素から3番目の画素の信号を読み出すことにより、図8の(B)に示すように、 4×4 画素の中、中心の 2×2 画素の出力だけを得ることができる。

【0027】図7に示した固体撮像装置に用いられる4段のシフトレジスタユニットからなるシフトレジスタを用いた水平走査回路の構成例を図9の(A)に示す。図9の(A)において、50はシフトレジスタ、51は各シフトレジスタユニットの出力線、52は各シフトレジスタユニットの出力により開閉される選択スイッチ、53は信号出力端子、54は列方向に配列された受光画素に共通に接続された垂直選択線である。

【0028】ところで、このように構成された水平走査

回路においては、本走査を開始する位置を決めるための先行走査においても、出力線51には選択信号が出力される。したがって、図9の(A)に示した構成では、この先行走査においても受光画素からの信号が信号出力端子53に出力される。本来、映像信号として必要となるのは、本走査時に出力される信号であるので、この先行走査時の信号は不必要なものとなる。また、受光画素として破壊読み出しの画素を用いていると、先行走査時に信号出力端子53に信号を読み出した時点で、映像信号を失ってしまう。

【0029】図9の(B)は、上記問題点を解消できるようにした構成の水平走査回路の構成例である。この水平走査回路は、シフトレジスタユニットの出力線51の出力と制御信号 ϕ_{cont} をAND55に入力し、AND55の出力により選択スイッチ52を開閉するように構成するものである。このように構成した水平走査回路においては、先行走査期間は制御信号 ϕ_{cont} をローレベルとし、本走査期間は制御信号 ϕ_{cont} をハイレベルとすることによって、本走査時に選択された画素の出力のみ、信号出力端子53に映像信号として取り出される。

【0030】図9の(A)、(B)においては、水平走査回路の構成例について説明を行ったが、垂直走査回路も同様に構成できることはいうまでもない。

【0031】以上のように、本発明に係るシフトレジスタを用いたXYアドレス型固体撮像装置においては、任意の範囲の画素の信号を読み出すことが可能となる。また上記構成例では、本発明によるシフトレジスタを、水平及び垂直の両方の走査回路に用いたものを示したが、いずれか一方の走査回路に用いることにより、水平もしくは垂直方向にのみ、任意の範囲を読み出すように構成することも可能である。

【0032】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、シフトレジスタを高速クロックで駆動することなく、任意の位置から走査を開始させることができる。また高速でクリアする手段を付加することにより、任意の位置で走査を途中で停止させることができ、これにより、任意の範囲の走査を行わせることが可能となる。また、本発明によるシフトレジスタをXYアドレス型固体撮像装置の水平及び垂直走査回路に応用することにより、水平方向、垂直方向とも任意の範囲の映像信号を取り出すことができ、走査のためのクロックの周波数を高めることなくフレームレートを高めることができる。

【図面の簡単な説明】

【図1】本発明に係るシフトレジスタの基本的な実施例を示す概念図である。

【図2】本発明の第1の具体的な実施例を示す回路構成図である。

【図3】図2に示した実施例の動作を説明するためのタ

イミングチャートである。

【図4】図2に示した実施例における記憶部の他の構成例を示す図である。

【図5】本発明の第2の具体的な実施例を示す回路構成図である。

【図6】図5に示した実施例の動作を説明するためのタイミングチャートである。

【図7】本発明に係るシフトレジスタを用いたXYアドレス型固体撮像装置の構成例を示す図である。

【図8】図7に示した固体撮像装置の動作を説明するための図である。

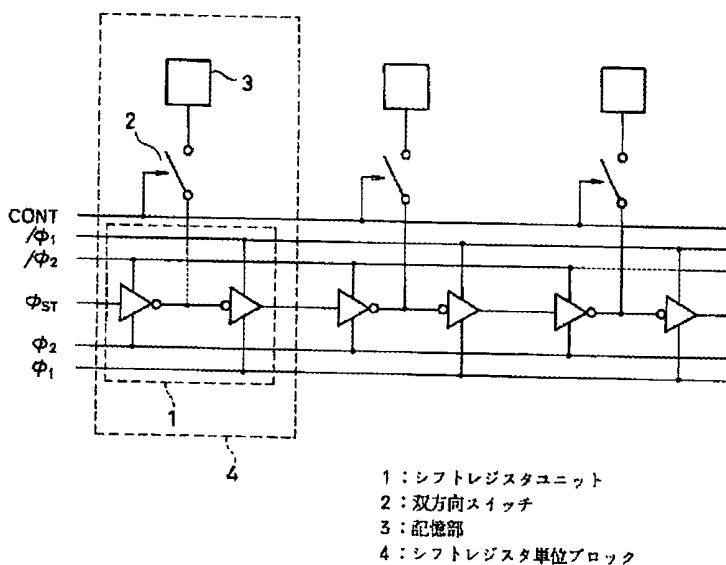
【図9】図8に示した固体撮像装置の水平走査回路の構成例を示す図である。

【図10】従来のシフトレジスタの構成例を示す回路構成図である。

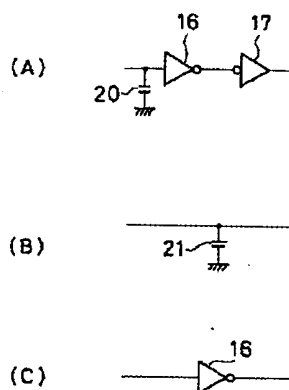
【符号の説明】

- 1 シフトレジスタユニット
- 2 双方向スイッチ
- 3 記憶部
- 4 シフトレジスタ単位ブロック
- 10 シフトレジスタ単位ブロック
- 11 シフトレジスタユニット
- 12-1 第1のクロック型インバータ
- 12-2 第2のクロック型インバータ
- 13 記憶用スイッチ
- 14 転送用スイッチ
- 15 記憶部
- 16 第1の記憶用インバータ
- 17 第2の記憶用インバータ

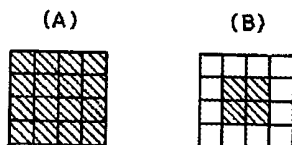
【図1】



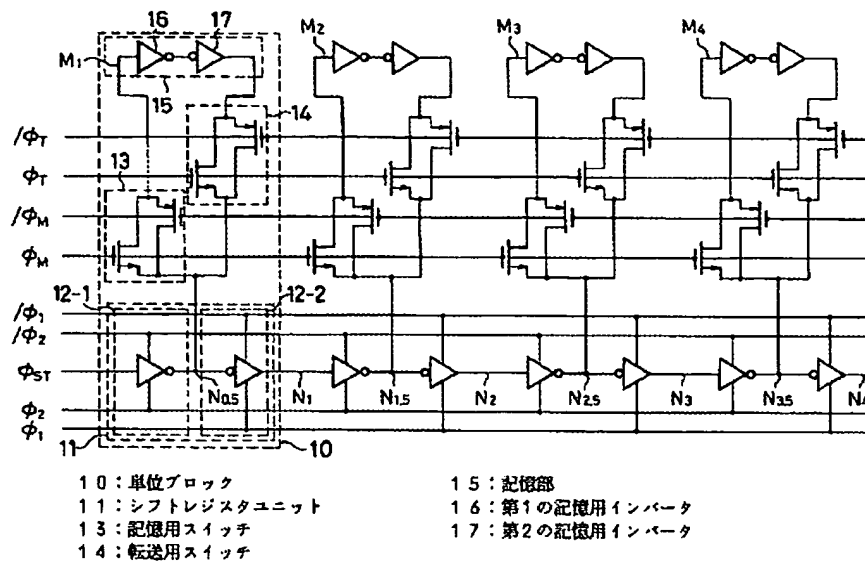
【図4】



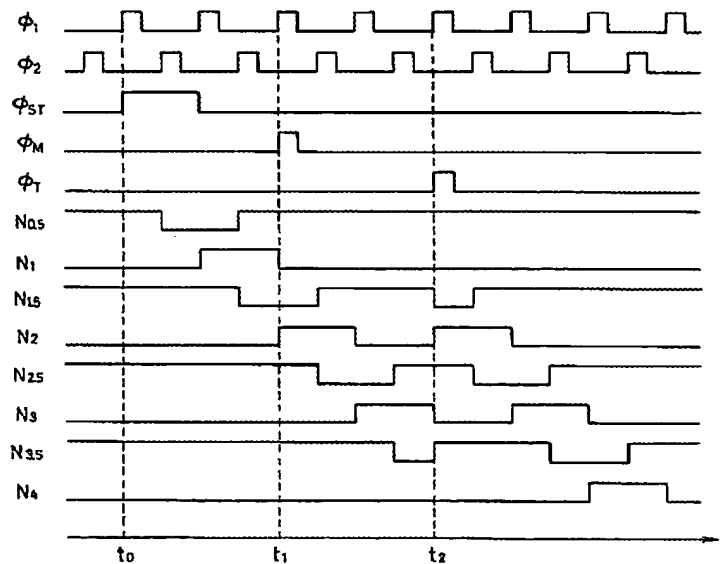
【図8】



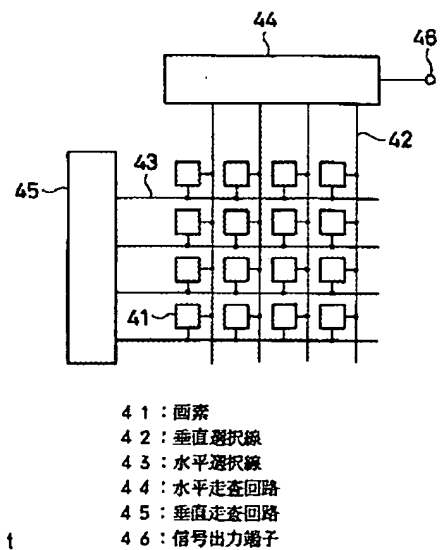
【図2】



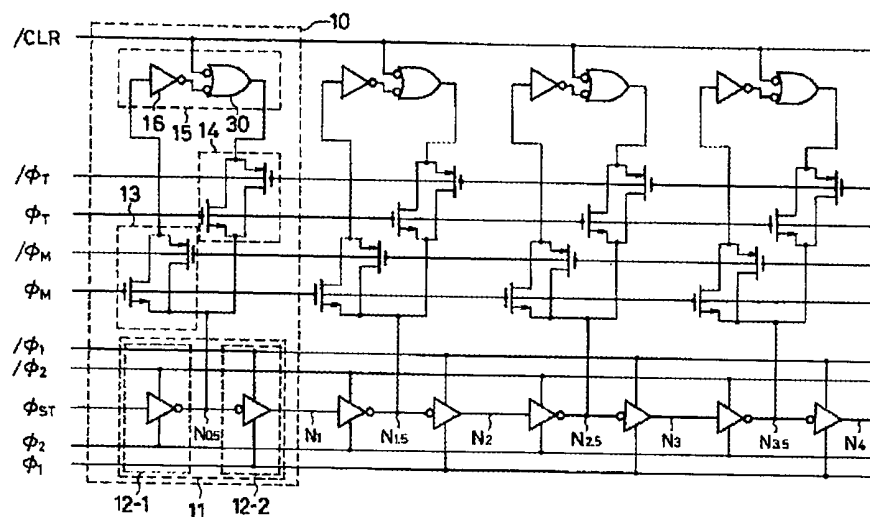
【図3】



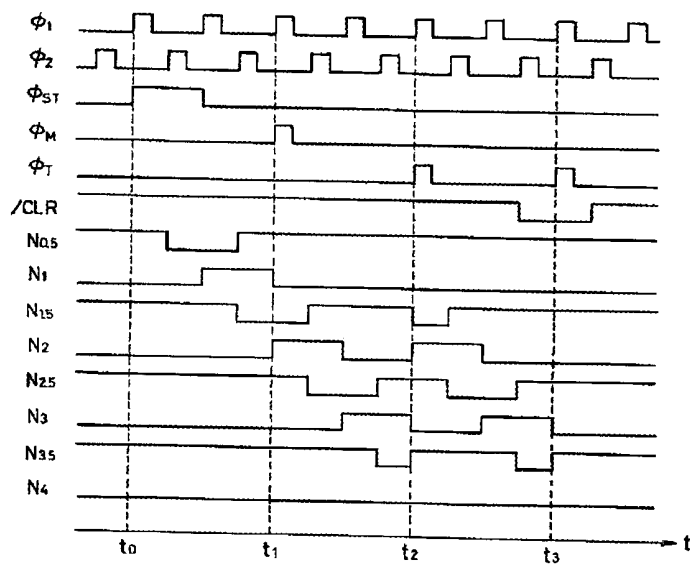
【図7】



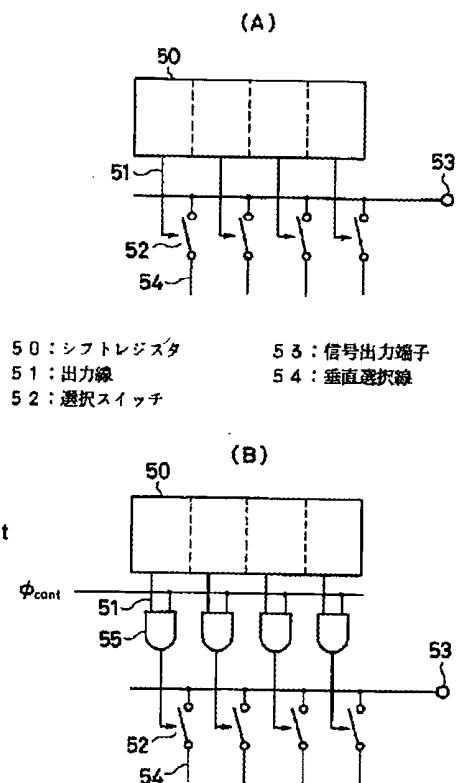
【図5】



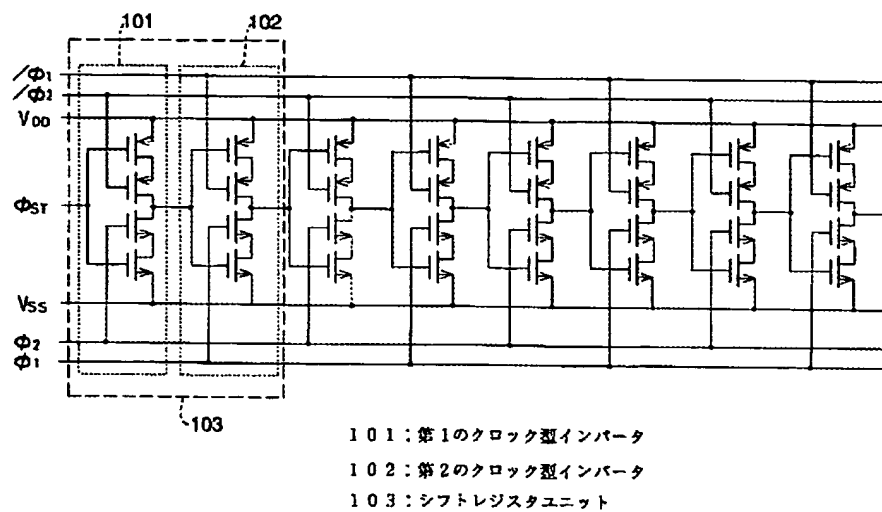
【図6】



【図9】



【図10】



THIS PAGE BLANK (USPTO)